

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-328298

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H04N 5/92
H04N 5/225
H04N 5/91

(21)Application number : 04-155644

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 22.05.1992

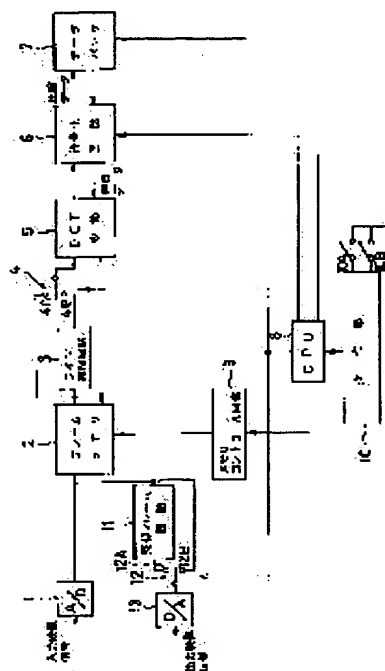
(72)Inventor : KIJIMA TAKAYUKI

(54) VIDEO RECORDING DEVICE

(57)Abstract:

PURPOSE: To attain the video recording suitable for the mode of video recording action, especially its recording speed by providing a means to recognize a time interval of each recording relating to sequential recording and a means to select automatically in response to the time interval of the recognized recording to the device.

CONSTITUTION: In the case of single shot still picture recording or low speed consecutive shot recording, a line interpolation circuit 3 is used to generate block data and they are compressed to keep high image quality, and in the case of high speed consecutive shot in which the recording speed has priority, no interpolation is conducted and block data are generated and they are compressed by halving number of blocks, and at the time of reproduction, reproduction processing is conducted in matching with recording data to attain video recording at a recording speed suitable for the mode of the video recording action. A selector 4 selects image data fed to either of a terminal 4A and 4B by a select signal fed from a CPU 8 and outputs the data to a DCT transformation section 5. The select signal is outputted based on a signal shot/consecutive shot changeover switch 10A.



LEGAL STATUS

[Date of request for examination] 21.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3276675

[Date of registration] 08.02.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-328298

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H O 4 N 5/92
5/225
5/91

H 8324-5C
Z
J 8324-5C

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平4-155644

(22)出願日 平成4年(1992)5月22日

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 木 島 貴 行
東京都渋谷区幡ヶ谷 2 丁目43番 2 号 オリ
ンパス光学工業株式会社内

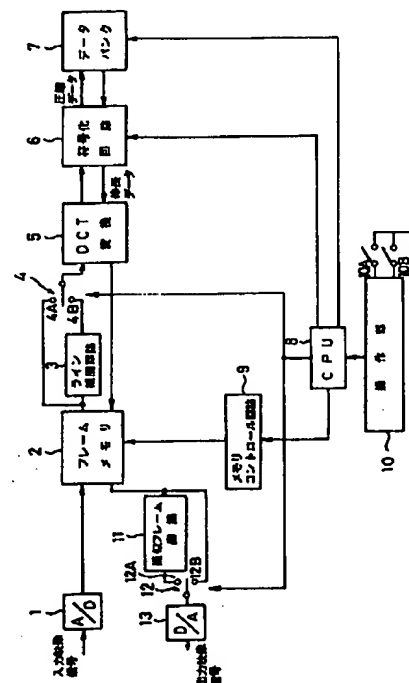
(74)代理人 弁理士 福山 正博

(54)【発明の名称】 映像記録装置

(57) 【要約】

【目的】映像記録動作の態様、特に記録速度に適した映像記録を可能とする映像記録装置を提供する。

【構成】単写の静止画記録や低速連写記録時のような場合には、ライン補間によりブロックデータを作成してから圧縮を行って高画質を維持し、記録速度が優先される高速連写時のような場合には、補間を行わずにブロックデータを作成してブロック数を半分にして圧縮を行い、再生時には記録データに合わせた再生処理を行うことにより、映像記録動作の態様に適した記録速度の映像記録を可能としている。



【特許請求の範囲】

撮影動作により順次生成され又は外部から順次供給された映像信号を各1枚の画像に対応する部分毎に情報圧縮処理を施して順次連続的に記録する映像記録装置であって、

上記順次の記録に係る各記録の時間間隔を認識する第1の手段と、

上記情報圧縮処理を原画像情報をノンインターレースフレーム化処理したものに圧縮を施す第1の態様の圧縮処理で行うか又は原画像情報をインターレースフィールド画のままこれに対して圧縮を施す第2の態様の圧縮処理で行うかを、上記第1の手段によって認識された記録の時間間隔に応じて自動的に選択する第2の手段と、を有してなることを特徴とする映像記録装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は映像記録装置に関し、特に記録速度に適した映像記録を可能とする映像記録装置に関する。

【0002】

【従来の技術】 例えば、電子スチルカメラのような映像記録装置においては、記録すべき映像信号に対して直交変換及び符号化処理を施して圧縮画像データを得て、メモリカード等のデータバンクに記録している。

【0003】 図8には、従来の映像信号の記録装置の構成例が示されている。記録時、入力された映像信号は、A/Dコンバータ1でデジタル信号に変換されてフレームメモリまたはフィールドメモリから成るメモリ部2Aに記録される。このメモリ部2Aへのデータの書き込みは、図9に示すようなラスタ書き込みにより行われる。図9において、映像信号は、例えば撮像素子（例えば、CCD）の画素対応信号として得られ、有効画面は、図9では水平方向768画素分、垂直方向480画素対応としている。メモリ部2Aへの書き込みは、垂直方向0番目のラインについて1水平方向の画素対応信号を書き込んだ後、垂直方向1番目のラインについての画素対応信号を書き込み、以後同様に書き込みが行われる。こうしてメモリ部2Aに書き込まれたデータは、図10に示すようにブロック読み出しされてDCT変換部5にブロックデータとして送出される。図10では、ブロックデータを8×8画素対応データとし、ブロックデータ#1、#2、#3、#4、…の順に読み出し、1水平方向のブロックデータが読み出された後、左端ブロックデータ#1の下に位置するブロックデータ#5を読み出し、水平方向に次のブロックデータを読み出し、以後同様な順序で読み出しを行う。メモリ部2Aから読み出されたブロックデータは、DCT変換部5において、DCT（Discrete Cosine Transform：離散コサイン変換）処理が施され、符号化部6でハフマン符号化等の符号化処理が施されてデータ圧縮される。こうして得られ

た圧縮データは、メモリカード等のデータバンク7に書き込まれる。メモリ部2Aに対する書き込み及び読み出し制御は、システム全体を制御するCPU8の制御を受けたメモリコントロール部9により行われる。

【0004】 再生時には、データバンク7から読み出された圧縮データは、符号化部6で復号化されて伸長データとして出力される。伸長データは、DCT変換部5でIDCT（逆離散コサイン変換）処理が施され、ブロックデータとしてメモリ部2Aに書き込まれる。メモリ部2Aからラスタ読み出し形態で読み出された画像データはD/Aコンバータ13でアナログ信号に変換され、例えばモニター側に映像信号として出力される。メモリ部2Aに蓄積されるデータがフィールドデータであるときには、再生時はライン補間処理によってフレームデータを得る必要がある。したがって、従来は、図11に示すように、ライン補間処理を行ってモニター上に出力している。図11において、実線が奇数フィールドデータを示し、点線が偶数フィールドデータを示す。

【0005】 ところで、画像データを圧縮する際には、前記図10のようなブロック毎に圧縮を行うため、ブロックの内部で原画像に対して誤差が生じるため、圧縮データを伸長して再生する時には再生画像の画質が劣化してしまうという問題がある。特に被写体画像が細かい絵である場合には、ブロック毎にデータ量が制限されるため、この問題が顕著になる。したがって、図11に示すようなライン補間処理を行って再生すると、一つのブロックが8ラインから構成されているため、その2倍の垂直方向16ラインにわたって上記誤差の影響が及ぶことになり、広範囲にわたる画質の劣化が現れる。

【0006】 そこで、本願と同一出願人は、図12に示すように、ブロック転送の際に（圧縮前に）、フィールドデータをライン補間してフレームデータを生成することによりブロックを構成し、8ラインの範囲内での誤差発生を抑制する技術を提案している（特願平3-296441号参照）。

【0007】 上述のような映像記録装置における静止面の記録シーケンスが図13に示されている。例えば、電子スチルカメラの場合、CCDの露光、1フィールド期間のフレームメモリへの書き込みが行われた後、フレームメモリからデータが読み出される。この読み出し処理には、ノンインターレース化するためのライン補間処理によりデータが倍になるため2フィールドの処理時間を要することになる。また、圧縮データのデータバンクへの書き込みも同様である。そして図8のCPU8内のマイコンは、上記書き込みに先立ち、圧縮データに関するヘッダー情報（フレームまたはフィールドデータの区別等）をも書き込む。

【0008】

【発明が解決しようとする課題】 図13に示す映像記録装置による静止面データの記録は、フレームメモリ読み

出しや圧縮データ書き込み処理に要する時間は2フィールド時間となり、記録速度を決定する大きな要因となり、特に高速で連続的記録を行う連写の記録速度を支配的に決定する。例えば、図13において、1フレーム記録シーケンスに要する時間をAとすると、N枚連写するには最低でも $N \times A$ の時間を要することになり、記録速度の高速化の障害となる。

【0009】そこで、本発明の目的は、映像記録動作の態様、特に記録速度に適した映像記録を可能とする映像記録装置を提供することにある。

【0010】

【課題を解決するための手段】前述の課題を解決するため、本発明による映像記録装置は、撮影動作により順次生成され又は外部から順次供給された映像信号を各1枚の画像に対応する部分毎に情報圧縮処理を施して順次連続的に記録する映像記録装置であって、上記順次の記録に係る各記録の時間間隔を認識する第1の手段と、上記情報圧縮処理を原画像情報をノンインターレースフレーム化処理したものに圧縮を施す第1の態様の圧縮処理で行うか又は原画像情報をインターレースフィールド画のままこれに対して圧縮を施す第2の態様の圧縮処理で行うかを、上記第1の手段によって認識された記録の時間間隔に応じて自動的に選択する第2の手段と、を備えて構成される。

【0011】

【作用】本発明では、単写の静止画記録や低速連写記録時のような場合には、ライン補間によりブロックデータを作成してから圧縮を行って高画質を維持し、一方、記録速度が優先される高速連写時のような場合には、補間を行わずにブロックデータを作成してブロック数を半分にして圧縮を行い、再生時には記録データに合わせた再生処理を行うことにより、映像記録動作の態様に適した記録速度の映像記録を可能とする。

【0012】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。図1は、本発明による映像記録装置の一実施例を示すブロック図である。本発明による実施例は、画像データを $m \times n$ のブロックデータとして扱って圧縮処理して記録し、再生時に伸長処理を施すような装置に適用され、単写の静止画記録や低速連写記録時には、ライン補間によりブロックデータを作成してから圧縮を行うことにより高画質を維持している。一方、記録速度が優先される高速連写時には補間を行わずにブロックデータを作成してブロック数を半分にして圧縮を行い、再生時には記録されたデータの属性を判別して記録データに合わせた再生処理を行う。

【0013】記録時、入力映像信号は、A/Dコンバータ1でデジタル信号に変換され、フレームメモリ2にラスタ記録される。単写や低速連写時には、フレームメモリ2からブロック単位で読み出されたデータは、ライ

ン補間部3に送出され、ライン補間処理が施された後、セクタ4の端子4Bに供給される。セクタ4は、CPU8から供給されるセレクト信号により、端子4Aまたは4Bのいずれかに供給されている画像データを選択してDCT変換部5に出力する。上記セレクト信号は、操作部10に設けられた連写/単写切換スイッチ10Aの操作情報に基づいてCPU8から出力される。DCT変換部5で得られた変換係数データは、符号化部6で符号化され、圧縮データとしてデータバンク7に書き込まれる。

【0014】一方、連写/単写切換スイッチ10Aにより高速連写動作が指示されると、CPU8からのセレクト信号によりセクタ4は端子4Aに供給されているフレームメモリ2から読み出した画像データをライン補間せずに直接にDCT変換部5に供給する。以後、単写動作時と同様にDCT処理及び符号化処理を介して圧縮データがフィールドデータとしてデータバンク7に書き込まれる。単写や低速連写の記録データの再生時には、データバンク7から読み出されたデータは、符号化部6で復号化され、DCT変換部5でIDCT処理された後、フレームメモリ2に書き込まれる。フレームメモリ2からラスタ状に読み出された画像データは、セクタ12の端子12Bを介してD/Aコンバータ13でアナログ信号に変換されてモニター側に出力される。セクタ12は、セクタ4と同様にCPU8からのセレクト信号により端子12A、または12Bに供給されたデータを選択出力する。すなわち、フレームメモリ2から読み出されたデータがフレームデータの場合は、端子12Bへの供給データを、フィールドデータの場合は端子12Aへの供給データを選択してD/Aコンバータ13に出力する。

【0015】高速連写の記録データの再生時は、フレームメモリ2から読み出されたデータがフィールドデータであるので、疑似フレーム回路11は、読み出されたフィールドデータを用いてフレームデータを作成してセクタ12の端子12Aを介してD/Aコンバータ13に出力する。CPU8は、データバンク7に記録されている画像データのヘッダ情報を読み込むことにより、画像データがフィールドデータであるかフレームデータであるかを判別できる。以上のように記録速度が高速ではない単写動作等の場合には、通常のライン補間処理を施した後、データ圧縮処理を施してデータバンクに記録すれば高画質の映像再生が確保できる。

【0016】一方、連写記録で高速記録が要求される場合には、画質は若干犠牲にしても高速性を優先するため、ライン補間処理を行わずに、直接にデータを圧縮してデータバンクに記録する。

【0017】操作部10には、上記の如く単写、連写に限らず、画質優先時にはフレームデータの記録を指示し、記録速度優先時にはフィールドデータの記録を指示

するためのフィールド／フレーム切換スイッチ10Bを設けることもできる。

【0018】図2には、上記高速連写記録シーケンスが示されている。フレームメモリには1フィールドのデータが書き込まれ、フレームメモリからの読み出しは、高速化するために、ライン補間を行わずフィールドデータをそのまま読み出し、圧縮データを書き込む。マイコンは、ヘッダー情報等のデータを付加記録する。図2のような記録シーケンスによれば、1フィールド記録シーケンスは図13に示す記録シーケンスと比較して1フィールド短縮されるので高速記録が可能となる。このとき、前述の如く、圧縮時の誤差に起因する画質の劣化は16ラインに及ぶことになるが、高速連写であるので再生画像は動画に近い状態となるので実質的に問題にはならない。

【0019】図3には、図1における疑似フレーム回路11の構成例が示されている。入力データは、1Hラインメモリ111と加算器112の一入力端子に供給される。加算器112の他入力端子には1Hラインメモリ111により1H遅延されたデータが入力される。加算器112の出力は、1/2乗算器113で係数1/2が乗算され、平均データとして、切換スイッチ114の端子114Bに出力される。切換スイッチ114は、端子114Aから供給される1Hラインメモリ111からのデータと、端子114Bから供給される平均データとを、フィールド毎に選択出力する。

【0020】図4には、8×8ブロックデータについての図1のライン補間回路3とセクタ4の構成例が示されている。入力データは、8ビットシフトレジスタ31と加算器32の一入力端子に供給される。加算器32は、8ビットシフトレジスタ31の出力と入力データとを加算する。加算器32の出力は、1/2乗算器33で係数1/2が乗算されて平均データとしてセクタ4の端子4Bに出力される。セクタ4は、端子4Bからの平均データと端子4Aからの入力データとを8画素毎に切り換え出力する。

【0021】図5には、図1のフレームメモリ2の構成例が示されている。フレームメモリ2は、2つのフィールドメモリ21と22から成り、チップセレクト信号に応答して、いずれかのフィールドメモリからデータを読み出し、出力する。

【0022】メモリコントロール部9は、例えば図6に示す如く構成され、クロックCLKでカウントアップされるアドレスカウンタ91からメモリアドレスを出力する。また、CPU8からの信号を受けてモードを判別するモード判別部93からの判別信号は、ライトイネーブル制御部94、アウトプットイネーブル制御部95及びチップイネーブル制御部96に供給され、各制御部からはメモリライトイネーブル信号WE、メモリアウトプットイネーブル信号OE及びメモリチップイネーブル信号

CSが出力される。水平同期信号HD、垂直同期信号VD及びモード判別部93からの判別信号を受けるリセット回路97は、アドレスカウンタ91をリセットする。

【0023】図7には、上述実施例の動作タイミングが示されている。高速連写時の読み出しを行う際のラインアドレスは、(A)に示すように、8画素単位で出力されて1ブロックデータが読み出される。単写時の記録ラインアドレスは、(B)に示すように、補間処理を施すため、1、2、3ラインは同一データを2回ずつ読み出すためのアドレスとなる。したがって、8ビット(8CLK)分遅延されたデータは(C)のようになる。また、単写時、DCTへの転送データは上記(B)と(C)のデータに基づいて補間データを挿入したデータとして(D)の如く得られる。単写時の再生時のメモリ書き込みラインアドレスは、(E)に示すように、16画素毎に切り換わり、フレームメモリチップセレクト信号が、(F)に示す如く、8画素毎に出力され、図5のフィールドメモリ21、22に交互に書き込んでインターレース化する。

【0024】

【発明の効果】以上説明したように、本発明による映像記録装置によれば、単写と連写の場合のような記録速度に差がある場合、画質優先、記録速度優先に応じて補間処理の実行を制御しているので、ユーザのモード指示に適應する記録も行え、使用性が格段に向上する。

【図面の簡単な説明】

【図1】本発明による映像記録装置の一実施例を示すブロック図である。

【図2】本発明の実施例における高速記録シーケンスを示す図である。

【図3】本発明の実施例における疑似フレーム部の構成例を示すブロック図である。

【図4】本発明の実施例におけるライン補間部の構成例を示すブロック図である。

【図5】本発明の実施例におけるフレームメモリの構成例を示すブロック図である。

【図6】本発明の実施例におけるメモリコントロール部の構成例を示すブロック図である。

【図7】本発明の実施例における動作を説明するためのタイミングチャートである。

【図8】従来の映像記録装置の構成ブロック図である。

【図9】従来の映像記録装置におけるラスタ書き込み、読み出しを説明するための図である。

【図10】従来の映像記録装置におけるブロック読み出し、書き込みを説明するための図である。

【図11】従来の映像記録装置におけるライン補間データの態様を示す図である。

【図12】従来の映像記録装置におけるライン補間データの態様を示す図である。

【図13】一般的な静止画記録シーケンスを示す図であ

る。

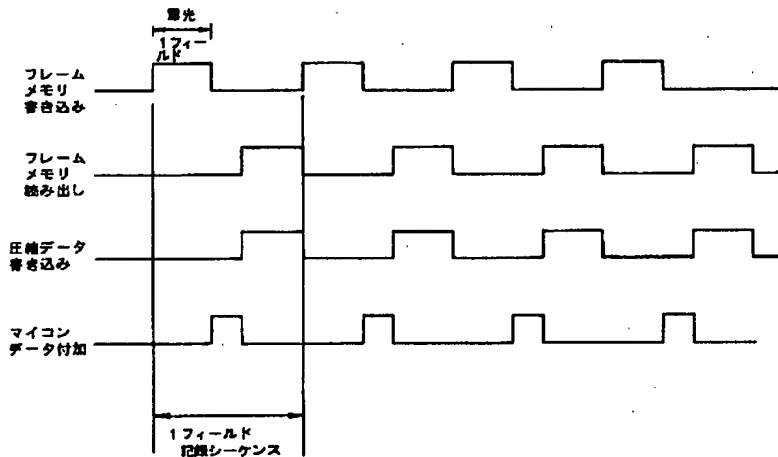
【符号の説明】

1	A/Dコンバータ	2	フレーム
ムメモリ			
2A	メモリ部	3	ライン
補間回路			
4, 12	セクタ	5	DCT
変換部			
6	符号化部	7	データ

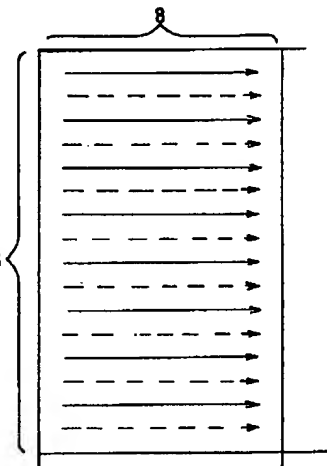
バンク

8	CPU	9	メモリ
コントロール部			
10	操作部	10A	連写／
単写切換スイッチ			
10B	フィールド／フレーム切換スイッチ		
11	疑似フレーム回路	13	D/A
コンバータ			

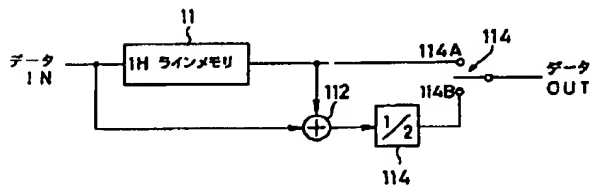
【図2】



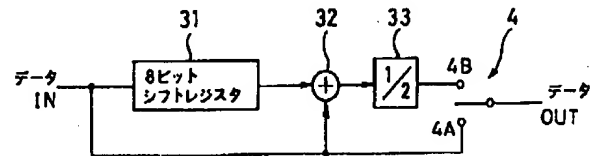
【図11】



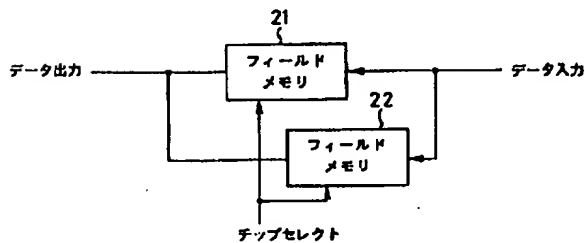
【図3】



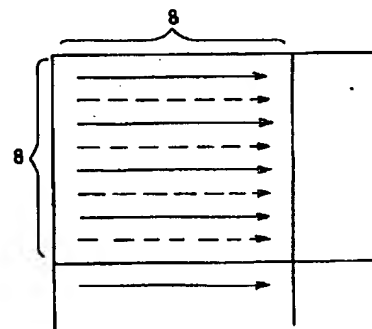
【図4】



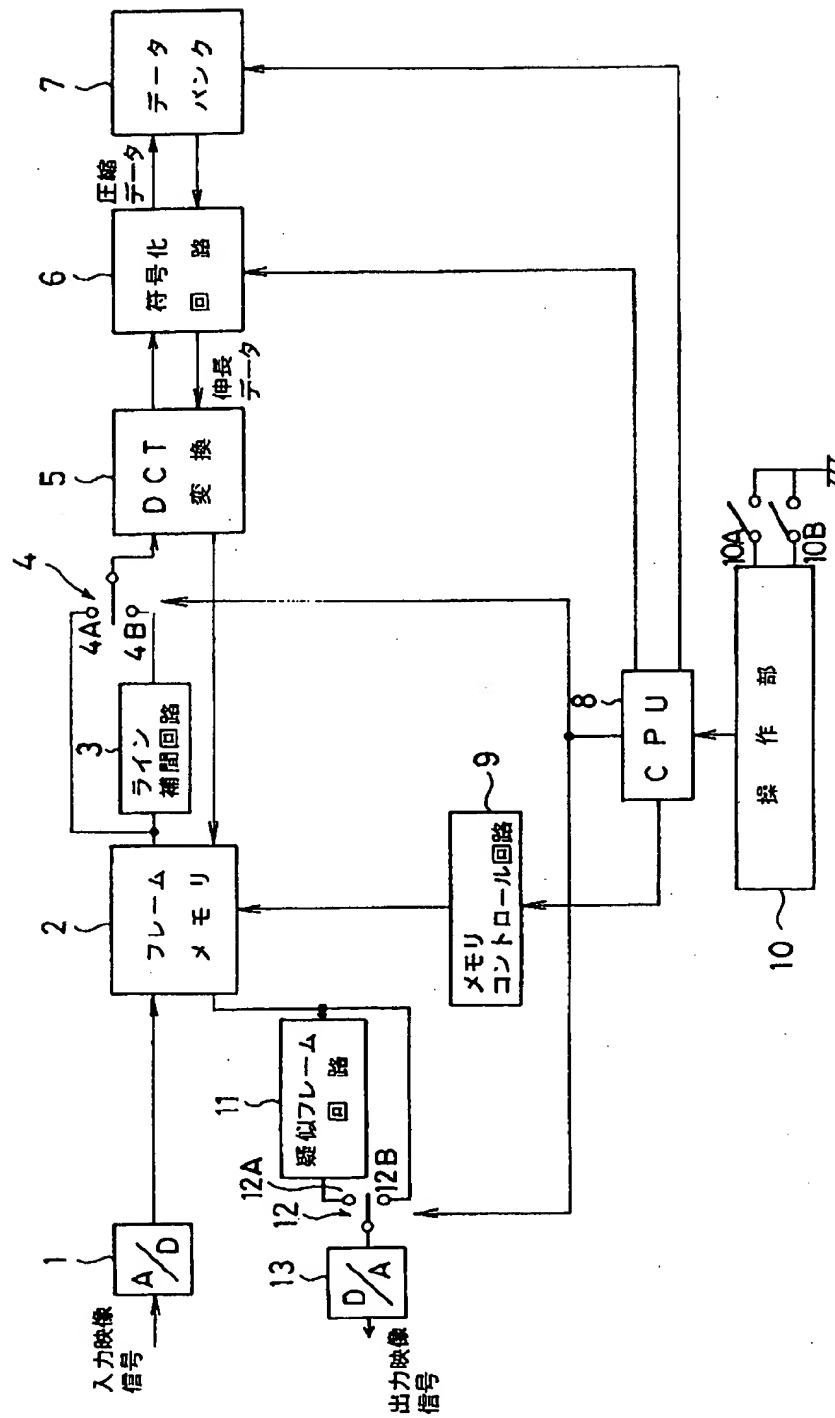
【図5】



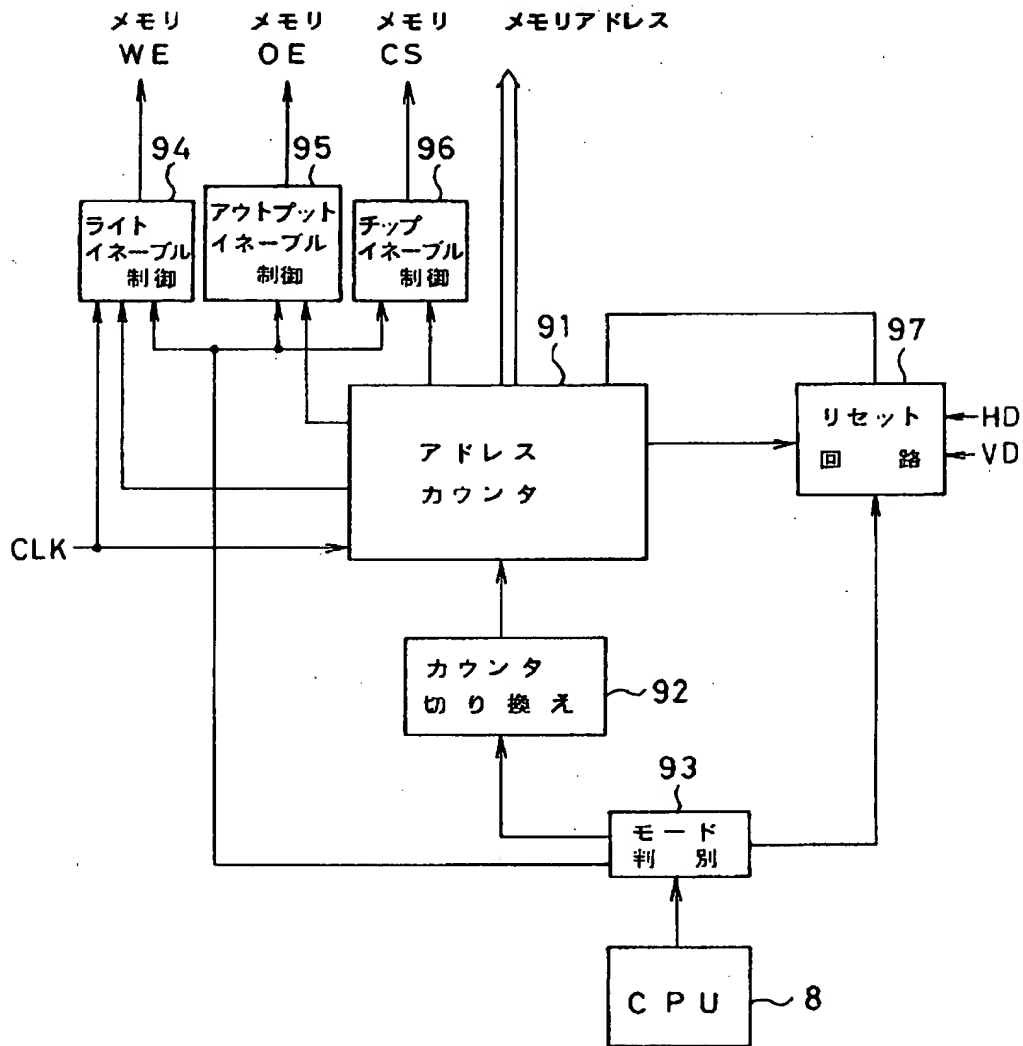
【図12】



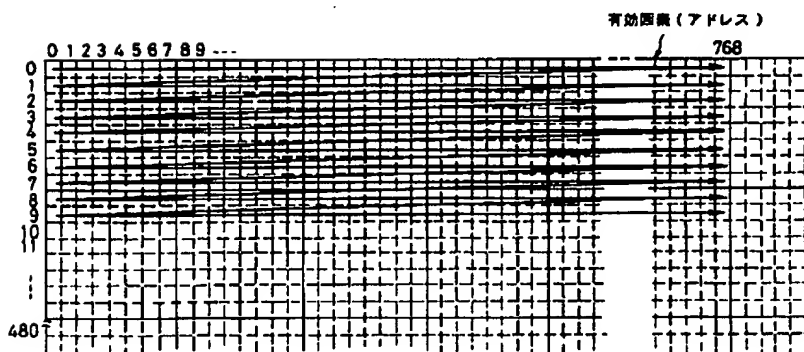
【図1】



【図6】



【図9】



8 画素読み出し

高速通写時
ラインアドレス (A)

1 ブロック読み出し

8 画素
読み出し 16 画素読み出し

半写時記憶
ラインアドレス (B)

8CLK
ダイレイ (C)

単写時
DCT への
転送データ (D)

16 画素読み出し

半写時再生
ラインアドレス (E)

フレームメモリ
チップセレクト (F)

(9)

【図8】

